



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0074012
Application Number

출원년월일 : 2002년 11월 26일
Date of Application NOV 26, 2002

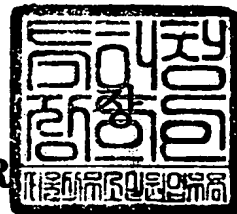
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 06 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.11.26
【발명의 명칭】	유기전계 발광소자와 그 제조방법
【발명의 영문명칭】	The organic electro-luminescence device and method for fabricating of the same
【출원인】	
【명칭】	엘지 .필립스엘시디(주)
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	정원기
【대리인코드】	9-1998-000534-2
【포괄위임등록번호】	1999-001832-7
【발명자】	
【성명의 국문표기】	박재용
【성명의 영문표기】	PARK, JAE YONG
【주민등록번호】	681112-1894818
【우편번호】	431-070
【주소】	경기도 안양시 동안구 평촌동 꿈마을 건영아파트 305동 701호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 정원기 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	17 면 17,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	17 항 653,000 원
【합계】	699,000 원

1020020074012

출력 일자: 2003/6/19

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 유기전계 발광소자에 관한 것으로 특히, 유기 전계 발광소자의 제조방법에 관한 것이다.

요약하면, 본 발명에 따른 유기전계 발광소자는 제 1 기판에 박막트랜지스터 어레이부를 구성하고, 제 1 기판과 합착되는 제 2 기판에 유기 발광부를 구성하는 듀얼 플레이트(dual plate) 구조이다.

전술한 구성에서, 상기 제 1 기판 상에 박막트랜지스터와 유기 발광부의 제 2 전극과 접촉하는 제 1 연결전극을 형성하는 동시에, 제 1 기판의 외곽에 구성되는 공통전극과 상부 제 1 전극(양극 전극)을 연결하는 제 2 연결전극을 형성한다.

이때, 상기 제 1 연결전극에 대응하는 부분과 상기 제 2 연결전극에 대응하는 부분의 상부기판에 구성한 구성요소의 두께를 동일하게 하여, 소자의 표시부와 외곽부에서의 셀갭이 일정하도록 한다.

전술한 바와 같은 구성은 박막트랜지스터 어레이부에 직접 유기발광부를 형성하는 것을 피할 수 있으므로 공정 상 어려움을 해소할 수 있고, 상기 제 1 전극과 제 2 연결전극의 접촉특성을 용이하게 하는 구성임으로 신호불량을 방지하여 고화질의 유기전계 발광소자를 제작할 수 있다.

【대표도】

도 5

【명세서】**【발명의 명칭】**

유기전계 발광소자와 그 제조방법 {The organic electro-luminescence device and method for fabricating of the same}

【도면의 간단한 설명】

도 1은 유기전계 발광소자를 개략적으로 도시한 단면도이고,
도 2는 종래의 유기전계 발광소자의 평면형상을 개략적으로 도시한 평면도이고,
도 3은 유기전계 발광소자의 한 화소의 구성을 개략적으로 도시한 확대한 평면도이고,
도 4는 도 2의 III-III', 도 3의 IV-IV'를 따라 절단한 단면도이고,
도 5는 본 발명에 따른 유기전계 발광소자의 구성을 개략적으로 도시한 단면도이고,
도 6은 도 5의 구성에서 F와 G를 확대한 확대 단면도이고,
도 7a 내지 도 7c는 본 발명에 따른 유기전계 발광소자의 박막트랜지스터 어레이부의 제조공정을 공정 순서에 따라 도시한 공정 단면도이고,
도 8a 내지 도 8c는 본 발명에 따른 발광부의 형성공정을 도시한 공정 단면도이고,
도 8은 제 2 실시예에 따른 유기전계 발광소자의 구성을 개략적으로 도시한 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

99 : 듀얼 플레이트 구조의 유기전계 발광소자

100 : 하부기관

130 : 제 1 연결전극

132 : 제 2 연결전극

200 : 상부 기관

203 : 보조 전극

206 : 차단 패턴

210 : 제 1 전극(양극 전극)

214 : 제 2 전극(음극 전극)

216 : 접촉 전극

300 : 실런트

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 유기전계 발광소자에 관한 것으로 특히, 제 1 기관에는 박막트랜지스터 어레이부를 구성하고 제 1 기관과 합착되는 제 2 기관에는 유기전계 발광부를 구성한 이중 플레이트 구조(dual plate structure)의 유기전계 발광소자(DPOLED)와 그 제조방법에 관한 것이다.

<18> 일반적으로, 유기전계 발광소자는 전자(electron) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자(electron)와 정공(hole)을 발광층 내부로 주입시켜, 주입된 전자(electron)와 정공(hole)이 결합한 엑시톤(exciton)이 여기상태로부터 기저 상태로 떨어질 때 발광하는 소자이다.

- <19> 이러한 원리로 인해 종래의 박막 액정표시소자와는 달리 별도의 광원을 필요로 하지 않으므로 소자의 부피와 무게를 줄일 수 있는 장점이 있다.
- <20> 또한, 유기전계 발광소자는 고품위 패널특성(저전력, 고휘도, 고반응속도, 저중량)을 나타낸다. 이러한 특성때문에 OLED는 이동통신 단말기, CNS(car navigation system), PDA, Camcorder, Palm PC등 대부분의 consumer 전자 응용제품에 사용될 수 있는 강력한 차세대 디스플레이로 여겨지고 있다.
- <21> 또한 제조 공정이 단순하기 때문에 생산원가를 기존의 LCD보다 많이 줄일 수 있는 장점이 있다.
- <22> 이러한 유기전계 발광소자를 구동하는 방식은 수동 매트릭스형(passive matrix type)과 능동 매트릭스형(active matrix type)으로 나눌 수 있다.
- <23> 상기 수동 매트릭스형 유기전계 발광소자는 그 구성이 단순하여 제조방법 또한 단순 하나 높은 소비전력과 표시소자의 대면적화에 어려움이 있으며, 배선의 수가 증가하면 할 수록 개구율이 저하되는 단점이 있다.
- <24> 반면 능동 매트릭스형 유기전계 발광소자는 높은 발광효율과 고 화질을 제공할 수 있는 장점이 있다.
- <25> 도 1은 종래의 유기전계 발광소자의 구성을 개략적으로 도시한 도면이다.
- <26> 도시한 바와 같이, 유기전계 발광소자(10)는 제 1 기판(12)의 상부에 박막트랜지스터(T)어레이부(14)와, 박막트랜지스터 어레이부(14)의 상부에 제 1 전극(16)과 유기 발광층(18)과 제 2 전극(20)이 구성된다.

- <27> 이때, 상기 발광층(18)은 적(R), 녹(G), 청(B)의 컬러를 표현하게 되는데, 일반적인 방법으로는 상기 각 화소(P)마다 적, 녹, 청색을 발광하는 별도의 유기물질을 패터하여 사용한다.
- <28> 상기 제 1 기판(12)이 흡습제(22)가 부착된 제 2 기판(28)과 실런트(26)를 통해 합착되므로써 캡슐화된 유기전계 발광소자(10)가 완성된다.
- <29> 이때, 상기 흡습제(22)는 캡슐내부에 침투할 수 있는 수분과 산소를 제거하기 위한 것이며, 기판(28)의 일부를 식각하고 식각된 부분에 흡습제(22)를 채우고 테이프(25)로 고정한다.
- <30> 도 2는 종래의 유기전계 발광소자에 구성되는 박막트랜지스터 어레이부의 한 화소를 개략적으로 도시한 평면도이다.
- <31> 일반적으로, 능동 매트릭스형 박막트랜지스터 어레이부는 기판(12)에 정의된 다수의 화소(P)마다 스위칭 소자(T_S)와 구동 소자(T_D)와 스토리지 캐패시터(storage capacitor : C_{ST})가 구성되며, 동작의 특성에 따라 상기 스위칭 소자(T_S) 또는 구동 소자(T_D)는 각각 하나 이상의 박막트랜지스터의 조합으로 구성될 수 있다.
- <32> 이때, 상기 기판(12)은 절연 기판을 사용하며, 그 재질로는 유리나 플라스틱을 예 들 수 있다.
- <33> 도시한 바와 같이, 기판(12)상에 서로 소정 간격 이격 하여 일 방향으로 구성된 게이트 배선(32)과, 게이트 배선(32)과 절연막을 사이에 두고 교차하는 데이터 배선(34)이 구성된다.

- <34> 동시에, 상기 데이터 배선(34)과 평행하게 이격되며 게이트 배선(32)과 교차하는 전원 배선(35)이 구성된다.
- <35> 상기 스위칭 소자(T_S)와 구동 소자(T_D)로 각각 게이트 전극(36,38)과 액티브층(40,42)과 소스 전극(46,48) 및 드레인 전극(50,52)을 포함하는 박막트랜지스터가 사용된다.
- <36> 전술한 구성에서, 상기 스위칭 소자(T_S)의 게이트 전극(36)은 상기 게이트 배선(32)과 연결되고, 상기 소스 전극(46)은 상기 데이터 배선(34)과 연결된다.
- <37> 상기 스위칭 소자(T_S)의 드레인 전극(50)은 상기 구동 소자(T_D)의 게이트 전극(38)과 콘택홀(54)을 통해 연결된다.
- <38> 상기 구동 소자(T_D)의 소스 전극(48)은 상기 전원 배선(35)과 콘택홀(56)을 통해 연결된다.
- <39> 또한, 상기 구동 소자(T_D)의 드레인 전극(52)은 화소부(P)에 구성된 제 1 전극(양극전극)(16)과 접촉하도록 구성된다.
- <40> 이때, 상기 전원 배선(35)과 그 하부의 다결정 실리콘층(15)은 절연막을 사이에 두고 겹쳐져 스토리지 캐패시터(C_{ST})를 형성한다.
- <41> 이하, 도 3은 전술한 바와 같은 어레이구성을 가진 유기전계 발광소자의 평면구성을 개략적으로 도시한 평면도이다.
- <42> 도시한 바와 같이, 기판(12)의 일 측에는 데이터 패드부(E)가 구성되고, 데이터 패드부와 평행하지 않은 기판의 양측에는 게이트 패드부(F1,F2)가 각각 구성된다.
- <43> 상기 데이터 패드부(E)와 평행한 기판(12)의 타 측에는 공통전극(39)을 구성한다.

- <44> 이때, 상기 공통전극(39)은 제 2 전극(음극 전극)(도 1의 20)에 공통전압을 인가하여 제 2 전극의 전위를 유지하도록 하는 역할을 한다.
- <45> 이하, 도 4를 참조하여 종래에 따른 유기전계 발광소자의 단면 구성을 설명한다.
- <46> 도 4는 도 2의 III-III'과 도 3의 IV-IV'를 절단한 단면도이다.
- <47> (도 2의 구성은 도 3의 한 부분이므로 연속하여 절단하였다고 생각하고 이를 도 4의 단면도로 나타낸다.)
- <48> 도시한 바와 같이, 유기전계 발광소자는 게이트 전극(38)과, 액티브층(42)과 소스 전극(56)과 드레인 전극(52)을 포함하는 구동소자인 박막트랜지스터(T_D)가 구성되고, 구동소자(T_D)의 상부에는 절연막(57)을 사이에 두고 구동소자(T_D)의 드레인 전극(52)과 접촉하는 제 1 전극(양극 전극)(16)과, 제 1 전극(16)의 상부에 특정한 색의 빛을 발광하는 발광층(18)과, 발광층(18)의 상부에는 제 2 전극(음극 전극)(20)이 구성된다.
- <49> 상기 구동소자(T_D)와는 병렬로 스토리지 캐패시터(C_{ST})가 구성되며, 소스 전극(56)은 스토리지 캐패시터(C_{ST})의 제 2 전극(전원배선)(35)과 접촉하여 구성된다.
- <50> 이때, 스토리지 캐패시터(C_{ST})의 제 1 전극으로 상기 제 2 전극(35)의 하부에 다결정 실리콘층(15)이 구성된다.
- <51> 상기 구동소자(T_D)와 스토리지 캐패시터(C_{ST})와 유기 발광층(18)이 구성된 기판의 전면에는 제 2 전극(음극전극)(20)이 구성된다.
- <52> 전술한 구성에서, 기판(12)의 외곽에는 상기 제 2 전극(음극전극)(20)에 공통전압을 인가하는 공통전극(39)을 상기 구동소자(T_D)의 게이트 전극(38)과 동일층 동일물질로 형성한다.

<53> 상기 공통 전극(39)은 상부에 구성된 다수의 절연막을 식각한 제 1 콘택홀(50)과 제 2 콘택홀(52)에 의해 일부가 노출되며, 상기 제 2 전극(20)은 제 1 콘택홀(50)을 통해 공통전극(39)과 접촉하는 구성이고, 상기 제 2 콘택홀(52)은 외부에 구성되는 전원부에서 상기 제 2 전극에 전달할 공통전압을 입력받기 위해, 외부의 공통전압 입력배선(미도시)과 공통전극(39)을 연결하기 위한 구성이다.

<54> 전술한 바와 같은 구성을 통해 종래의 유기전계 발광소자를 제작할 수 있다.

【발명이 이루고자 하는 기술적 과제】

<55> 그러나, 종래의 경우와 같이, 단일 기판 상에 박막트랜지스터 어레이부와 발광부를 형성하는 경우, 박막트랜지스터의 수율과 유기 발광층의 수율의 곱이 박막트랜지스터와 유기 발광층을 형성한 패널의 수율을 결정하게 된다.

<56> 따라서, 종래의 경우와 같이 구성된 하판은 상기 유기 발광층의 수율에 의해 패널의 수율이 크게 제한되는 문제점을 가지고 있었다.

<57> 특히, 박막트랜지스터가 양호하게 형성되었다 하더라도, 1000Å 정도의 박막을 사용하는 유기 발광층의 형성시 이물이나 기타 다른 요소에 의해 불량 발생하게 되면 패널은 불량등급으로 판정된다.

<58> 이로 인하여 양품의 박막트랜지스터를 제조하는데 소요되었던 제반 경비 및 원재료비의 손실로 이어지고, 수율이 저하되는 문제점을 가지고 있었다.

- <59> 또한, 전술한 바와 같은 하부 발광방식은 인캡슐레이션에 의한 안정성 및 공정이 자유도가 높은 반면 개구율의 제한이 있어 고해상도 제품에 적용하기 어려운 문제점이 있다.
- <60> 앞서 설명하지는 않았지만, 종래의 상부 발광방식은 빛이 상부로 나오기 때문에 빛이 나아가는 방향이 하부의 박막트랜지스터 어레이부와 무관하여 박막트랜지스터 설계가 용이하고, 개구율 향상이 가능하기 때문에 제품수명 측면에서 유리하지만, 기존의 상부 발광방식 구조에서는 유기전계 발광층 상부에 통상적으로 음극이 위치함에 따라 재료 선택폭이 좁기 때문에 투과도가 제한되어 광효율이 저하되는 점과, 광투과도의 저하를 최소화하기 위해 박막형 보호막을 구성해야 하는 경우 외기를 충분히 차단하지 못하는 문제점이 있었다.
- <61> 본원 발명은 이를 해결하기 위한 목적으로 제안된 것으로, 상기 박막트랜지스터 어레이부와 발광부를 별도의 기판에 구성한 후 이를 합착한 상부 발광 방식의 유기전계 발광소자와 그 제조방법을 제안한다.
- <62> 이때, 유기발광층이 제 2 기판에 구성되기 때문에, 상기 유기발광층의 화소전압을 인가하기 위한 제 1 연결전극과, 상기 유기발광층에 공통전압을 인가하기 위한 제 2 연결전극을 별도로 구성한다.
- <63> 이때, 기판의 외곽부의 셀갭을 표시부의 셀갭과 같도록 하기 위해, 상기 제 1 기판의 외곽부에 별도의 패턴을 형성한다.

<64> 전술한 바와 같은 구성은 종래의 유기전계 발광소자의 문제를 해결할 수 있고, 또한 비표시 영역에서 발광부의 제 1 전극과 공통전극을 연결하는 제 2 연결전극의 접촉불량을 방지하여 고화질의 유기전계 발광소자를 제작할 수 있다.

【발명의 구성 및 작용】

<65> 전술한 바와 같은 목적을 달성하기 위한 본 발명에 특징의 따른 유기전계 발광소자는 서로 이격 하여 구성되고 다수의 화소영역을 포함하는 표시영역과, 비표시 영역으로 정의된 제 1 기판과 제 2 기판과; 상기 제 1 기판의 비 표시영역에 구성된 공통 전극과; 상기 화소영역의 일 측에 구성되고, 게이트 전극과 액티브층과 소스 전극과 드레인 전극을 포함하는 구동 박막트랜지스터와; 상기 드레인 전극과 접촉하는 제 1 연결전극과; 상기 제 1 연결전극과 동일층 동일물질로 구성되고, 상기 공통 전극과 연결된 제 2 연결전극과; 상기 제 1 기판과 마주보는 제 2 기판의 전면에 구성된 제 1 전극과; 상기 화소영역의 경계에 대응하는 제 1 전극의 상부에 구성된 차단패턴과, 상기 제 2 연결전극에 대응하는 제 1 전극 상부에 구성된 절연막 패턴과; 상기 차단패턴의 상부에 구성된 격벽과; 상기 화소영역에 대응한 제 1 전극의 상부에 적층된 유기 발광층과 제 2 전극과; 상기 제 2 전극과 동일층에 위치하고, 상기 절연막 패턴에 상부에서 상기 제 1 전극 접촉하는 접촉 전극과; 상기 제 1 기판과 제 2 기판을 부착하는 실런트를 포함한다.

<66> 상기 화소영역의 경계에 대응하는 제 2 기판의 일면에는 보조 전극을 구성하고, 이와 연결되고 상기 제 2 연결전극과 대응하는 부분에는 제 2 보조 전극을 더욱 구성한다.

- <67> 상기 박막트랜지스터의 소스 전극과 연결되어 신호전류를 인가하는 전원배선을 더욱 구성하며, 상기 전원 배선의 하부에 상기 액티브층과 연결되는 다결정 패턴을 더욱 구성하여 이를 제 1 전극으로 하고, 전원배선을 제 2 전극으로 하는 스토리지 캐패시터를 구성한다.
- <68> 상기 제 1 전극은 상기 발광층에 홀을 주입하는 양극 전극(anode electrode)이고, 제 2 전극은 상기 발광층에 전자를 주입하는 음극 전극(cathode electrode)이며, 제 1 전극은 인듐-틴-옥사이드(ITO)로 형성하고, 상기 제 2 전극은 칼슘(Ca), 알루미늄(Al), 마그네슘(Mg)을 포함하는 금속 중 선택된 하나로 형성한다.
- <69> 전술한 구성에서, 상기 공통 전극은 실런트의 안쪽에 위치하여, 기판의 일측 또는 양측에 구성된다.
- <70> 본 발명의 특징에 따른 유기전계 발광소자 제조방법은 서로 이격 하여 구성된 제 1 기판과 제 2 기판에 다수의 화소영역을 포함하는 표시영역과, 비 표시영역을 정의하는 단계와; 상기 제 1 기판 상에 제 1 절연막인 버퍼층을 형성하는 단계와; 상기 버퍼층의 상부에 다결정 실리콘인 액티브층을 형성하는 단계와; 상기 액티브층의 상부에 게이트 절연막과 게이트 전극을 적층하는 단계와; 상기 게이트 전극이 형성된 기판의 전면에서 제 3 절연막을 형성하는 단계와; 상기 제 3 절연막의 상부에 전원 배선을 형성하는 단계와; 상기 전원배선이 형성된 기판의 전면에서 제 4 절연막을 형성한 후, 상기 게이트 전극의 양측 액티브층을 각각 노출하는 제 1, 제 2 콘택홀과, 상기 전원배선의 일부를 노출하는 제 3 콘택홀을 형성하는 단계와; 상기 노출된 일 측의 액티브층과 접촉하는 드레인 전극과, 상기 노출된 타측의 액티브층과 전원배선과 동시에 접촉하는 소스 전극과, 기판의 비 표시영역에 일방향으로 공통 전극을 형성하는 단계와; 상기 소스 및 드레인 전극과

공통 전극이 형성된 기판의 전면에 제 5 절연막을 형성한 후 패터하여, 상기 드레인 전극의 일부를 노출하는 제 4 콘택홀과 상기 공통전극의 양측을 각각 노출하는 제 5, 제 6 콘택홀을 형성하는 단계와; 상기 노출된 드레인 전극과 접촉하는 제 1 연결전극과, 상기 제 5 콘택홀을 통해 노출된 공통전극과 제 2 연결전극을 형성하는 단계와; 상기 제 1 기판과 마주보는 제 2 기판의 일면에 제 1 전극을 형성하는 단계와; 상기 화소영역의 경계에 대응하는 제 1 전극의 상부에 구성된 절연 차단패턴과, 상기 제 2 연결전극에 대응하는 제 1 전극 상부에 절연막 패턴을 형성하는 단계와; 상기 절연 차단패턴의 상부에 격벽을 형성하는 단계와; 상기 화소영역에 대응한 제 1 전극의 상부에 유기 발광층을 형성하는 단계와; 상기 유기발광층의 상부에 제 2 전극과, 상기 절연막 패턴의 상부에 상기 제 1 전극과 연결된 접촉전극을 형성하는 단계와; 상기 제 1 기판과 제 2 기판을 실리콘트를 통해 부착하는 단계를 포함한다.

<71> 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.

<72> -- 제 1 실시예 --

<73> 본 발명은 제 1 기판에 박막트랜지스터 어레이부가 구성되고 제 2 기판에 유기발광부가 구성되는 유기전계 발광소자의 구성에 있어서, 소자의 표시영역과 비표시영역의 셀 갭이 동일하도록, 상기 제 2 기판의 비표시 영역에 다수의 패턴을 구성하는 것을 특징으로 한다.

- <74> 이하, 도 5는 본 발명에 따른 유기전계 발광소자를 개략적으로 도시한 단면도이다.(구동소자와 화소부만을 도시함.)
- <75> 도시한 바와 같이, 본 발명에 따른 유기전계 발광소자(99)는 투명한 제 1 기판(100)과 제 2 기판(200)을 실런트(sealant)(300)를 통해 합착하여 구성한다.
- <76> 상기 제 1 기판(100)의 일면에는 다수의 화소부(발광부)(P)가 정의되고, 각 화소부(P)의 일 측마다 박막트랜지스터(스위칭 소자와 구동소자)(T)와 어레이 배선(미도시)이 구성된다.
- <77> 상기 화소부(P)와 대응하는 제 2 기판(200)의 일면에는 다수의 제 1 보조 전극(202)을 구성하고, 보조 전극(202)이 구성된 기판의(200)의 전면에 투명한 홀 주입전극인 제 1 전극(204)을 구성한다. 이때, 제 1 전극(204)은 공통전압을 입력받는다.
- <78> 상기 제 1 전극(204)의 상부에는 상기 화소영역(P)의 경계에 대응하여 격벽(210)이 형성되고, 상기 격벽(206)의 하부에는 절연물질로 구성된 차단패턴(206)을 구성한다.
- <79> 상기 격벽(210)과 격벽(210)의 사이에는 유기 발광층(212)과, 제 2 전극(214)을 차례로 구성한다.
- <80> 상기 제 2 전극(214)과 구동 소자(T_D)는 별도의 제 1 연결전극(130)을 통해 간접적으로 연결된다. 즉, 상기 제 1 연결전극(130)을 제 1 기판(100)에 구성하고 제 1 및 제 2 기판(100,200)을 합착 하면 제 1 연결전극(130)이 발광층(204)의 상부에 구성된 전자 주입전극인 제 2 전극(214)과 접촉하게 된다.

- <81> 전술한 구성에서, 상기 제 1 기관(100)의 외곽(A)에는 공통 전극(126)이 구성되며, 상기 공통 전극(126)과 접촉하는 제 2 연결전극(132)을 더욱 구성하여 제 2 기관(200)에 구성된 제 1 전극(204)에 공통전압이 용이하게 인가되도록 한다.
- <82> 이때, 상기 제 2 연결전극(132)에 대응하는 상부 기관(200)에는 제 2 보조 전극(203)과 상기 제 1 전극(204)과 절연막 패턴(208)과, 접촉전극(216)이 차례로 적층하여 구성된 형상이다. 이때, 상기 접촉전극(216)절연막 패턴(208)의 측면을 따라 연장되어 상기 제 1 전극(204)과 접촉하도록 구성한다.
- <83> 전술한 바와 같은 구성은 상기 제 1 연결전극(130)과 접촉하는 부분과 상기 제 2 연결전극(132)과 접촉하는 부분의 셀갯을 동일하게 할 수 있으므로, 제 1기관(100)과 제 2 기관(200)을 합착하는 공정 시, 외곽부(A)에 구성된 제 2 연결전극(132)에서 상기 제 1 전극(204)으로의 공통전압 입력불량을 방지할 수 있다.
- <84> 이하, 도 6을 참조하여 설명한다.
- <85> 도 6은 도 5의 F영역과 G영역의 단면을 도시한 단면도이다.
- <86> 도시한 바와 같이, 화소부(P)에 대응하는 기관(200)상에 제 1 보조 전극(202)과, 제 1 전극(204)과, 차단패턴(206)과, 격벽(210)과, 유기 발광층(212)과, 제 2 전극(214)이 구성되는데, 상기 제 1 연결전극(도 5의 130)이 접촉되는 부분은 제 1 전극(204)과 차단 패턴(206)과 유기 발광층(212)과 제 2 전극(214)이 적층되는 부분(J)이다.
- <87> 이와 비교하여, 상기 기관(200)의 외곽영역(A)에는 상기 제 1 보조 전극(202)과 동일층 동일물질로 구성된 제 2 보조 전극(203)과, 제 1 전극(204)과, 상기 차단패턴(206)과 동일층 동일물질로 구성된 절연막 패턴(208)과, 상기 제 2 전극(214)과 동일층 동일

물질로 구성된 접촉전극(216)이 적층되어 이 부분(K)이 상기 제 2 연결전극(도 5의 132)과 접촉된다.

<88> 이때, 상기 제 1 및 제 2 보조 전극(202,203)의 두께는 약 500~3000Å이고, 상기 제 1 전극(204)은 1000~2000Å이고, 상기 차단 패턴(206)과 절연막 패턴(208)은 500~3000Å이고, 상기 유기 발광층(212)은 1000~2000Å이고, 상기 제 2 전극(214)과 접촉전극(216)은 500~3000Å이다.

<89> 따라서, 상기 제 1 연결전극(도 5의 130)과 접촉하는 부분은 3000~10000Å의 두께로 구성되고, 상기 제 2 연결전극(도 5의 132)과 접촉하는 부분은 2500~1100Å의 두께로 구성된다.

<90> 그러므로, 상기 두 부분에서의 두께를 동일하게 할 수 있다는 결론을 얻을 수 있다

<91> 이하, 도 7a 내지 도 7c를 참조하여, 본 발명에 따른 박막트랜지스터 어레이부의 형성공정을 설명한다.

<92> 도 7a 내지 도 7c는 본 발명에 따른 유기전계 발광소자의 박막트랜지스터 어레이부의 제조방법을 공정 순서에 따라 도시한 공정 단면도이다.

<93> (도 7a 내지 도 7c는 도 2의 III-III'과 도 3의 IV-IV'를 절단한 단면도이다.

<94> (도 2의 구성은 도 3의 한 부분이므로 연속하여 절단하였다고 생각하고 이를 도 7a 내지 도 7c의 단면도로 나타낸다. 도면부호는 다르게 표기함)

<95> 도 7a에 도시한 바와 같이, 발광영역(E)과 구동 영역(D)과 스토리지 영역(C)과 기판의 외곽영역(A)이 정의된 기판(100)의 전면(100)에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)

을 포함하는 실리콘 절연물질 그룹 중 선택된 하나로 제 1 절연막인 버퍼층(102)을 형성한다.

<96> 상기 버퍼층(102)의 상부에 비정질 실리콘(a-Si:H)을 증착한 후 탈수소화 과정과 열을 이용한 결정화 공정을 진행하여, 상기 구동 영역(D)과 스토리지 영역(C)에 다결정 패턴(104,105)을 형성한다.

<97> 상기 스토리지 영역(C)에 구성된 다결정 패턴(105)은 표면에 불순물을 증착하는 방법으로 전극의 역할을 하도록 함으로써 스토리지 캐패시터의 제 1 전극으로 기능을 하도록 한다.

<98> 상기 구동 영역(D)에 형성한 다결정 패턴(104)은 제 1 액티브 영역(104a)과, 제 1 액티브 영역(104a)의 양측을 각각 제 2 액티브 영역(104b)으로 정의한다.

<99> 다음으로, 상기 제 1 액티브 영역(104a)의 상부에 제 2 절연막인 게이트 절연막(106)과 게이트 전극(108)을 적층하여 구성한다.

<100> 이때, 상기 게이트 절연막(106)은 기판(100)의 전면에 형성할 수 도 있다.

<101> 게이트 절연막(106)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나로 형성한다.

<102> 연속하여, 상기 게이트 전극(108)이 형성된 기판(100)의 전면에 3가 또는 4가의 불순물(B 또는 P)을 도핑하여 상기 제 2 액티브 영역(104b)을 오믹 콘택(ohmic contact)영역으로 형성한다.

<103> 다음으로, 게이트 전극(108)이 형성된 기판(100)의 전면에 제 3 절연막인 층간 절연막(110)을 형성한다.

- <104> 상기 게이트 전극(108)은 알루미늄(Al)과 알루미늄 합금과 구리(Cu)와 텅스텐(W)과 탄탈륨(Ta)과 몰리브덴(Mo)을 포함한 도전성 금속그룹 중 선택된 하나로 형성하고, 층간 절연막(110)은 전술한 바와 같은 절연물질 그룹 중 선택된 하나로 형성한다.
- <105> 연속하여, 상기 스토리지 영역(C)의 상부에 도전성 금속으로 전원배선(power line)(112)을 형성한다. 스토리지 영역(C)을 지나는 전원배선(112)의 일부는 캐패시터 제 2 전극으로서 기능한다.
- <106> 도 7b에 도시한 바와 같이, 상기 전원배선(112)이 형성된 기판(100)의 전면에 제 4 절연막(114)을 형성한 후 패터닝하여, 상기 제 2 액티브 영역(104b)을 각각 노출하는 제 1 콘택홀(116)과 제 2 콘택홀(118)을 형성하는 동시에, 상기 전원배선(112)의 일부를 노출하는 제 3 콘택홀(120)을 형성한다.
- <107> 도 7c에 도시한 바와 같이, 상기 제 4 절연막(114)이 형성된 기판(100)의 전면에 크롬(Cr), 몰리브덴(Mo), 탄탈륨(Ta), 텅스텐(Wa)등을 포함하는 도전성 금속을 증착하고 패터닝하여, 상기 노출된 제 2 액티브 영역(104b)에 각각 접촉하는 드레인 전극(122)과 소스 전극(124)을 형성한다.
- <108> 동시에, 기판(100)의 외곽에 공통전극(126)을 형성한다.
- <109> 다음으로, 상기 드레인 및 소스 전극(122,124)과 공통전극(126)이 형성된 기판(100)의 전면에 제 5 절연막(128)을 형성한 후 패터닝하여, 상기 드레인 전극(122)의 일부를 노출하는 제 4 콘택홀(H)과, 상기 공통전극(126)의 양측을 각각 노출하는 제 5 및 제 6 콘택홀(I,J)을 형성한다.

- <110> 연속하여, 상기 제 5 절연막(128)이 형성된 기판(100)의 전면에 도전성 금속을 증착하고 패터닝하여, 상기 드레인 전극(122)과 접촉하면서 화소부(P)에 구성된 제 1 연결전극(130)과, 상기 제 5 콘택홀(I)을 통해 공통전극(126)과 접촉하는 제 2 연결전극(132)을 형성한다.
- <111> 전술한 공정을 통해 본 발명에 따른 박막트랜지스터 어레이기판을 형성할 수 있다.
- <112> 이하, 도 8a 내지 도 8d를 통해, 상기 어레이기판과 접촉하는 발광부의 형성공정을 설명한다.(표시영역과 기판의 외곽영역(A)을 동시에 나타낸다.)
- <113> 도 8a 내지 도 8d는 본 발명에 따른 유기 발광층의 제조공정을 순서에 따라 도시한 공정 단면도이다.
- <114> 도 8a에 도시한 바와 같이, 투명한 절연기판(200)상에 저 저항 금속을 증착하고 패터닝하여 격자 형상의 제 1 보조 전극(202)을 형성한다.
- <115> 이때, 보조 전극(201)과 더불어 상기 기판(200)의 외곽영역(A)에 제 2 보조 전극(203)을 더욱 형성한다.
- <116> 이때, 상기 보조전극(202)은 이후 형성되는 제 1 전극(미도시)의 저항보다 저항값이 낮은 금속이면 모두 가능하며, 예를 들어 제 1 전극(미도시)을 형성하는 물질이 ITO라면 보조 전극(202)으로 크롬(Cr), 몰리브덴(Mo), 알루미늄(Al), 알루미늄합금(AlNd)등을 사용할 수 있다.
- <117> 상기 보조 전극(202)은 일반적으로 불투명한 금속을 사용하게 되므로 표시영역으로 사용되지 않는 영역에 대응하여 구성한다. 이때, 상기 제 1 보조 전극(202)과 제 2 보조 전극(203)은 임의의 위치에서 서로 연결된다.

- <118> 다음으로, 상기 제 1 보조 전극(202)과 제 2 보조 전극(203)이 형성된 기판(200)의 전면에 제 1 전극(204)(anode)을 형성한다.
- <119> 상기 제 1 전극(204)은 유기 발광층(미도시)에 홀(hole)을 주입하는 홀 주입 전극으로 주로 투명하며 일 함수(work function)가 높은 인듐-틴-옥사이드(ITO)를 증착하여 형성한다. 상기 제 1 전극(204)은 앞서 설명한 제 2 연결전극(도 7c의 132)을 통해 기판(100)의 외곽영역(도 7c의 A)에서 공통전압을 인가 받는다.
- <120> 다음으로, 도 8b에 도시한 바와 같이, 상기 제 1 보조 전극(202)에 대응한 부분에 절연물질을 이용하여, 바람직하게는 평면적으로 격자형상의 차단 패턴(206)을 형성한다. 동시에, 상기 제 2 보조 전극(203)에 대응하여 섬 형상의 절연막 패턴(208)을 형성한다.
- <121> 다음으로, 상기 격자 형상의 차단 패턴의 상부에 격벽(210)을 형성한다.
- <122> 상기 격벽(210)은 감광성 유기물질을 포함하는 절연물질을 형성할 수 있으며, 이후 공정에서 형성되는 발광층(미도시) 및 제 2 전극(미도시)이 화소별로 분리되어 독립적으로 형성되도록 하는 기능을 한다.
- <123> 다음으로, 도 8c에 도시한 바와 같이, 상기 각 화소(P)마다 상기 제 1 전극(204)상에 적색빛과 녹색빛과 적색빛을 발광하는 유기 발광층(212)을 형성한다.
- <124> 이때, 상기 발광층(212)은 빛을 발광하는 특성을 가지는 유기물질을 증착하여 형성할 수 있으며, 이때, 상기 격벽(210)의 역테이터 형상에 의해 상기 유기 물질은 각 화소(P)마다 독립적으로 형성될 수 있다.
- <125> 상기 유기 발광층(212)은 단층 또는 다층으로 구성할 수 있으며, 상기 유기막이 다층으로 구성될 경우에는, 상기 제 1 전극(204)과 근접한 주발광층(212b)의 일측에 홀 수

송층(Hole Transporting Layer)(212a)을 형성하고, 제 2 전극(미도시)과 근접한 타측에는 전자 수송층(Electron Transporting Layer : ETL)(212c)을 더욱 구성한다.

<126> 다음으로, 도 8d에 도시한 바와 같이, 상기 발광층(212)의 상부에 제 2 전극(214)을 증착하는 공정을 진행한다.

<127> 상기 제 2 전극(214)은 각 화소영역(P)에 대응하여 위치하며, 상기 격벽에 의해 서로 독립되도록 구성한다.

<128> 이때, 상기 격벽(210)의 하부에 구성된 차단패턴(206)은 상기 제 2 전극(214)이 하부의 제 1 전극(204)과 연결되는 것을 차단하는 역할을 하게 된다.

<129> 상기 제 2 전극(214)과 동시에, 기판(200)의 외곽영역(200)의 절연막 패턴(208)의 상부에는 제 1 전극(204)과 접촉하는 접촉전극(216)을 형성한다.

<130> 상기 접촉전극(216)은 앞서 박막트랜지스터 어레이부 공정에서 구성한 제 2 연결전극(132)과 연결되어, 상기 공통전극(126)과 제 2 연결전극(132)을 통해 공통전압을 상기 제 1 전극(204)에 인가하는 역할을 한다.

<131> 이때, 상기 제 2 전극(214)과 접촉전극(216)을 형성하는 물질은 알루미늄(Al)과 칼슘(Ca)과 마그네슘(Mg)중 선택된 하나로 형성하거나 리튬플루오린/알루미늄(LiF/Al)의 이중 금속층으로 형성할 수 있다.

<132> 전술한 바와 같은 공정을 통해 제작한 박막트랜지스터 어레이부와 발광부를 합착함으로써 도 5에 도시한 본 발명에 따른 유기전계 발광소자를 제작할 수 있다.

<133> 이하, 제 2 실시예를 통해 본 발명의 또 다른 변형예를 설명한다.

<134> -- 제 2 실시예 --

- <135> 본 발명의 제 2 실시예의 특징은 공통 패드를 실런트의 안쪽에 형성하는 동시에 기판의 양측에 형성하는 것을 특징으로 한다.
- <136> 도 9는 본 발명의 제 2 실시예에 따른 유기전계 발광소자의 구성을 개략적으로 도시한 단면도이다.
- <137> 도시한 바와 같이, 본 발명에 제 2 실시예에 따른 유기전계 발광소자(299)는 투명한 제 1 기판(300)과 제 2 기판(400)을 실런트(sealant)(500)를 통해 합착하여 구성한다.
- <138> 상기 제 1 기판(300)의 상부에는 다수의 화소부(발광부)(P)가 정의되고, 각 화소부(P)의 일측마다 박막트랜지스터(스위칭 소자와 구동소자)(T)와 어레이 배선(미도시)이 구성된다.
- <139> 상기 화소부(P)에 대응하는 제 2 기판(400)의 일면에는 다수의 제 1 보조 전극(402)을 구성하고, 보조 전극(402)이 구성된 기판의(400)의 전면에 투명한 홀 주입전극인 제 1 전극(404)을 구성한다.
- <140> 상기 제 1 전극(404)의 상부에는 상기 화소영역(P)의 경계에 대응하여 격벽(410)이 형성되고, 상기 격벽(406)의 하부에는 절연물질로 구성된 차단패턴(406)을 구성한다.
- <141> 상기 격벽(410)과 격벽(410)의 사이에는 유기 발광층(412)과, 제 2 전극(414)을 차례로 구성한다.
- <142> 상기 제 2 전극(414)과 구동 소자(T_D)는 별도의 제 1 연결전극(330)을 통해 간접적으로 연결한다. 즉, 상기 제 1 연결전극(330)을 제 1 기판(300)에 구성하고 제 1 및 제

2 기판(300,400)을 합착하면 제 1 연결전극(330)이 발광층(404)의 상부에 구성된 전자 주입전극인 제 2 전극(414)과 접촉하게 된다.

<143> 전술한 구성에서, 상기 제 1 기판(300)의 양측 외곽(A)에는 공통 전극(126a,b)이 구성되며, 상기 공통 전극(126a,b)과 각각 접촉하는 제 2 연결전극(132a,b)을 더욱 구성하여 제 2 기판(400)에 구성된 제 1 전극(404)과 접촉을 용이하게 하도록 한다.

<144> 이때, 상기 제 2 연결전극(332a,b)에 대응하는 상부 기판(400)에는 제 2 보조 전극(203a,b)과 상기 제 1 전극(404)과 절연막 패턴(408a,b)과, 접촉전극(416a,b)이 차례로 적층하여 구성된 형상이다.

<145> 이와 같이 하면, 상기 제 1 연결전극(330)과 접촉하는 부분과 상기 기판의 양측에 구성된 제 2 연결전극(332a,b)과 접촉하는 부분의 두께를 동일하게 할 수 있으므로 상기 제 2 기판(400)을 합착하는 공정 시 화소부와 외곽부에서 동일한 겹에 의해 제 2 연결전극의 접촉불량을 방지할 수 있다.

<146> 전술한 바와 같이 본 발명에 따른 유기전계 발광소자를 제작할 수 있다.

【발명의 효과】

<147> 본 발명에 따른 유기전계 발광소자는 아래와 같은 효과가 있다.

<148> 첫째, 상부 발광형이므로 하부 어레이패턴의 형상에 영향을 받지 않으므로 고 개구율을 확보할 수 있는 효과가 있다.

- <149> 둘째, 상기 유기전계 발광층을 박막트랜지스터 어레이패턴의 상부에 구성하지 않고 별도로 구성하기 때문에, 유기전계 발광층을 형성하는 공정 중, 상기 박막트랜지스터에 미칠 수 있는 영향들을 고려하지 않아도 되므로 수율을 향상하는 효과가 있다.
- <150> 셋째, 상기 박막트랜지스터 어레이기판의 외곽에 구성된 공통전극에 연결전극을 더욱 구성함으로써, 상부기판에 구성되는 제 1 전극(발광층의 양극전극)과의 접촉특성을 용이하게 할 수 있기 때문에, 신호 불량에 의한 유기전계 발광소자의 불량을 방지하여 수율을 개선하는 효과가 있다.
- <151> 또한, 상기 화소와 기판의 외곽에 구성된 연결전극과 접촉하는 상부기판의 일 부분을 화소부와 동일한 두께로 구성하여 두 기판을 합착하였을 경우, 두 기판 사이의 갭을 동일하게 맞출 수 있으므로, 기판의 외곽에 구성된 연결전극의 접촉불량을 방지할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

서로 이격 하여 구성되고 다수의 화소영역을 포함하는 표시영역과, 비표시 영역으로 정의된 제 1 기판과 제 2 기판과;

상기 제 1 기판의 비 표시영역에 구성된 공통 전극과;

상기 화소영역의 일 측에 구성되고, 게이트 전극과 액티브층과 소스 전극과 드레인 전극을 포함하는 구동 박막트랜지스터와;

상기 드레인 전극과 접촉하는 제 1 연결전극과;

상기 제 1 연결전극과 동일층 동일물질로 구성되고, 상기 공통 전극과 연결된 제 2 연결전극과;

상기 제 1 기판과 마주보는 제 2 기판의 전면에 구성된 제 1 전극과;

상기 화소영역의 경계에 대응하는 제 1 전극의 상부에 구성된 차단패턴과, 상기 제 2 연결전극에 대응하는 제 1 전극 상부에 구성된 절연막 패턴과;

상기 차단패턴의 상부에 구성된 격벽과;

상기 화소영역에 대응한 제 1 전극의 상부에 적층된 유기 발광층과 제 2 전극과;

상기 제 2 전극과 동일층에 위치하고, 상기 절연막 패턴에 상부에서 상기 제 1 전극 접촉하는 접촉 전극과;

상기 제 1 기판과 제 2 기판을 부착하는 실런트를

를 포함하는 유기전계 발광소자.

【청구항 2】

제 1 항에 있어서,

상기 화소영역의 경계에 대응하는 제 2 기판의 일면에는 보조 전극이, 이와 연결되고 상기 제 2 연결전극과 대응하는 부분에는 제 2 보조 전극이 더욱 구성된 유기전계 발광소자.

【청구항 3】

제 1 항에 있어서,

상기 액티브층은 다결정 실리콘인 유기전계 발광소자.

【청구항 4】

제 1 항에 있어서,

상기 박막트랜지스터의 소스 전극과 연결되어 신호전류를 인가하는 전원배선이 구성된 유기전계 발광소자.

【청구항 5】

제 4 항에 있어서,

상기 전원 배선의 하부에 상기 액티브층과 연결되는 다결정 패턴을 더욱 구성하여 이를 제 1 전극으로 하고, 전원배선을 제 2 전극으로 하는 스토리지 캐패시터를 구성하는 유기전계 발광소자.

【청구항 6】

제 1 항에 있어서,

상기 제 1 전극은 상기 발광층에 holes 주입하는 양극 전극(anode electrode)이고,
제 2 전극은 상기 발광층에 전자를 주입하는 음극 전극(cathode electrode)인 유기전계 발광소자.

【청구항 7】

제 6 항에 있어서,

상기 제 1 전극은 인듐-틴-옥사이드(ITO)인 유기전계 발광소자.

【청구항 8】

제 6 항에 있어서,

상기 제 2 전극은 칼슘(Ca), 알루미늄(Al), 마그네슘(Mg)을 포함하는 금속 중 선택된 하나로 구성된 유기전계 발광소자.

【청구항 9】

제 1 항에 있어서,

상기 공통 전극은 실런트의 안쪽에 위치하여, 기판의 일측 또는 양측에 구성되는 유기전계 발광소자.

【청구항 10】

서로 이격 하여 구성된 제 1 기판과 제 2 기판에 다수의 화소영역을 포함하는 표시 영역과, 비 표시영역을 정의하는 단계와;

상기 제 1 기판 상에 제 1 절연막인 버퍼층을 형성하는 단계와;

상기 버퍼층의 상부에 다결정 실리콘인 액티브층을 형성하는 단계와;

상기 액티브층의 상부에 게이트 절연막과 게이트 전극을 적층하는 단계와;

상기 게이트 전극이 형성된 기판의 전면에 제 3 절연막을 형성하는 단계와;

상기 제 3 절연막의 상부에 전원 배선을 형성하는 단계와;

상기 전원배선이 형성된 기판의 전면에 제 4 절연막을 형성한 후, 상기 게이트 전극의 양측 액티브층을 각각 노출하는 제 1, 제 2 콘택홀과, 상기 전원배선의 일부를 노출하는 제 3 콘택홀을 형성하는 단계와;

상기 노출된 일 측의 액티브층과 접촉하는 드레인 전극과, 상기 노출된 타측의 액티브층과 전원배선과 동시에 접촉하는 소스 전극과, 기판의 비 표시영역에 일방향으로 공통 전극을 형성하는 단계와;

상기 소스 및 드레인 전극과 공통 전극이 형성된 기판의 전면에 제 5 절연막을 형성한 후 패터하여, 상기 드레인 전극의 일부를 노출하는 제 4 콘택홀과 상기 공통전극의 양측을 각각 노출하는 제 5, 제 6 콘택홀을 형성하는 단계와;

상기 노출된 드레인 전극과 접촉하는 제 1 연결전극과, 상기 제 5 콘택홀을 통해 노출된 공통전극과 제 2 연결전극을 형성하는 단계와;

상기 제 1 기판과 마주보는 제 2 기판의 일면에 제 1 전극을 형성하는 단계와;

상기 화소영역의 경계에 대응하는 제 1 전극의 상부에 구성된 절연 차단패턴과,
상기 제 2 연결전극에 대응하는 제 1 전극 상부에 절연막 패턴을 형성하는 단계와;
상기 절연 차단패턴의 상부에 격벽을 형성하는 단계와;
상기 화소영역에 대응한 제 1 전극의 상부에 유기 발광층을 형성하는 단계와;
상기 유기발광층의 상부에 제 2 전극과, 상기 절연막 패턴의 상부에 상기 제 1 전극과 연결된 접촉전극을 형성하는 단계와;
상기 제 1 기판과 제 2 기판을 실런트를 통해 부착하는 단계
포함하는 유기전계 발광소자 제조방법.

【청구항 11】

제 10 항에 있어서,
상기 화소영역의 경계와 상기 제 2 연결전극에 각각 대응하는 제 1 기판과 제 1 전극의 사이에는, 제 1 보조 전극과 제 2 보조 전극이 각각 구성된 유기전계 발광소자.

【청구항 12】

제 10 항에 있어서,
상기 제 1 전극은 상기 발광층에 holes 주입하는 양극 전극(anode electrode)이고,
제 2 전극은 상기 발광층에 전자를 주입하는 음극 전극(cathode electrode)인 유기전계 발광소자 제조방법.



【청구항 13】

제 12 항에 있어서,

상기 제 1 전극은 인듐-틴-옥사이드(ITO)인 유기전계 발광소자 제조방법.

【청구항 14】

제 13 항에 있어서,

상기 제 1 전극과 상기 제 1 기판 사이에 구성된 제 1 보조 전극과 제 2 보조 전극은, 상기 제 1 전극보다 저항이 낮은 크롬(Cr), 몰리브덴(Mo), 텅스텐(W)들을 포함하는 도전성 금속그룹 중 선택된 하나로 형성된 유기전계 발광소자 제조방법.

【청구항 15】

제 12 항에 있어서,

상기 제 2 전극은 칼슘(Ca), 알루미늄(Al), 마그네슘(Mg)을 포함하는 금속 중 선택된 하나로 형성된 유기전계 발광소자 제조방법.

【청구항 16】

제 10 항에 있어서,

상기 전원배선의 하부에 다결정 실리콘 패턴을 형성하는 단계를 더욱 포함하여 이를 제 1 전극으로 하고, 상부의 전원배선을 제 2 전극으로 하는 스토리지 캐패시터를 더욱 형성하는 유기전계 발광소자 제조방법.

【청구항 17】

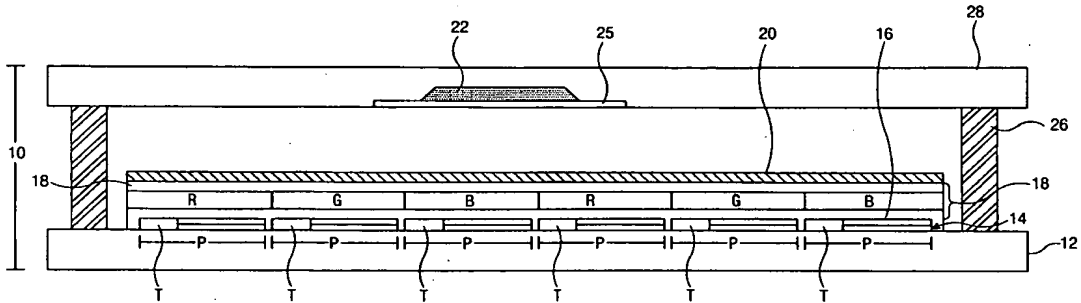
제 10 항에 있어서,

상기 공통 전극은 실런트의 안쪽에 위치하여, 기관의 일측 또는 양측에 형성되는 유기전계 발광소자 제조방법.

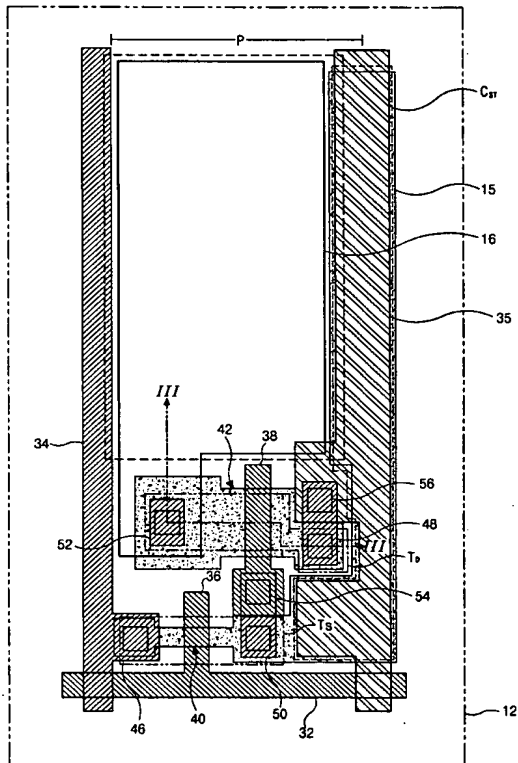


【도면】

【도 1】

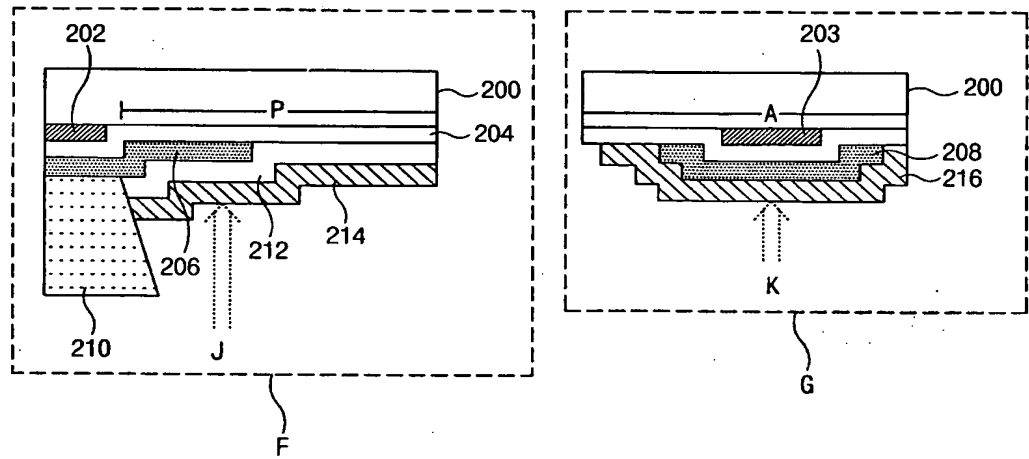


【도 2】

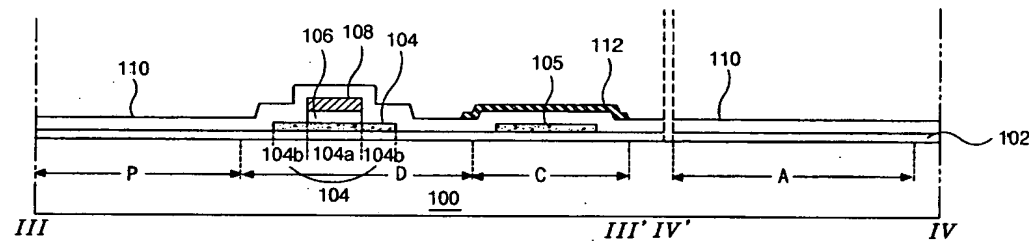


[illegible][illegible]

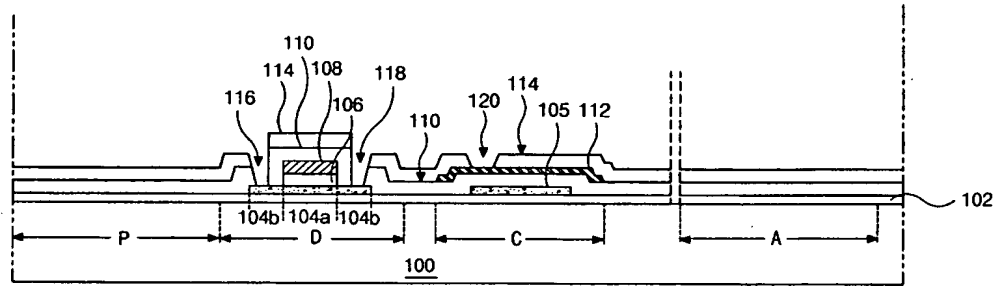
【도 6】



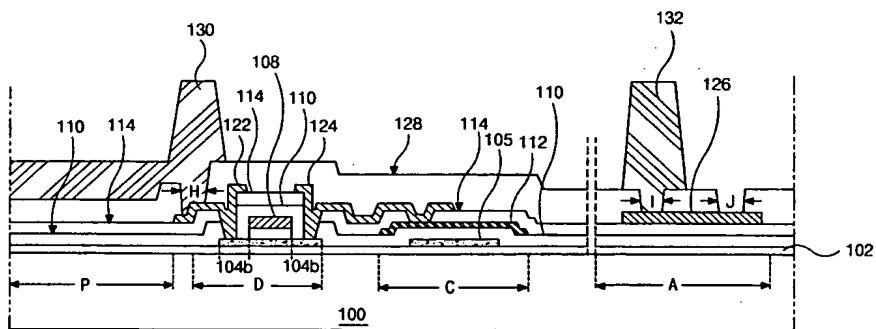
【도 7a】



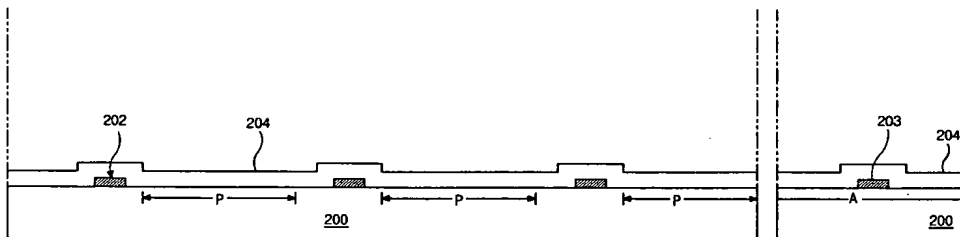
【도 7b】



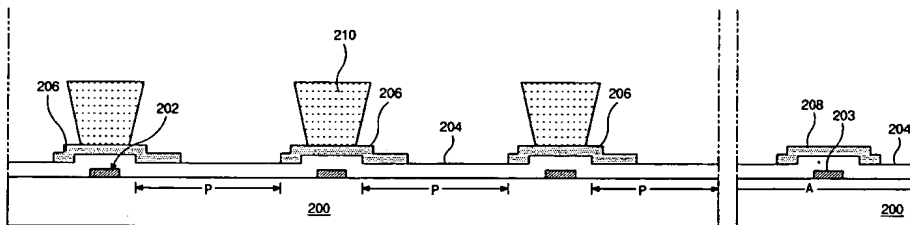
【도 7c】



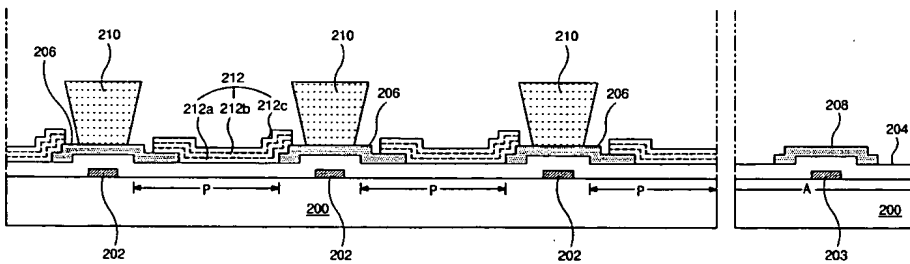
【도 8a】



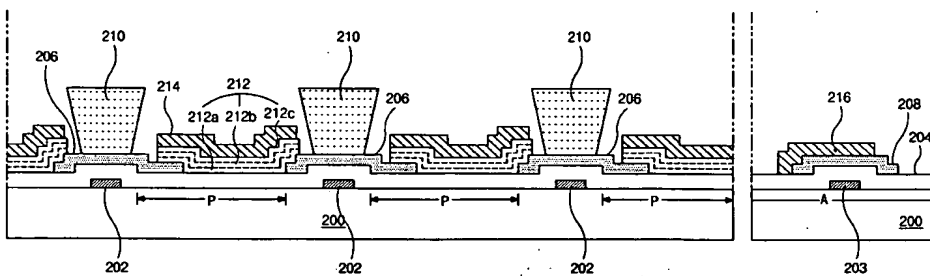
【도 8b】



【도 8c】



【도 8d】



【도 9】

